

عنوان جلسه: مقالات شفاهی ۱

موضوع: مدارهای مجتمع RF

روسای نشست: دکتر عبدالرضا نبوی، دکتر سعید سعیدی

دانشگاه تربیت مدرس

چهارشنبه ۱۳:۳۰-۱۳

اتاق مجازی ۲

تقویت کننده توان چند خروجی، توزیع یافته با پهنای باند گسترده برای سیستم های چند ورودی، چند خروجی در فناوری **AlGaIn/GaN pHEMT** بر روی سیلیکون

حمید هلالیان، سید مجتبی عطاردی،

دانشگاه صنعتی شریف

این مقاله شامل طراحی و پیاده سازی و نتایج تست نخستین تراشه تقویت کننده توان توزیع یافته (*Distributed*) دارای چهار خروجی است. ساختار جدید به بهبود بازده تقویت کننده کمک زیادی می کند، و کاربرد آن را در فرستنده های آرایه فازی، و سیستم های پهن باند دارای چند آنتن و دارای چند خروجی و ورودی *MIMO* تسهیل می کند. تراشه در فناوری **100 nm GaN** در مساحت 3 mm^2 ساخته و تست شده است. برای بازده توان بالا در پهنای باند وسیع از ایده کلاس *J* استفاده شده است. برای معرفی امیدانس بهینه Z_{opt} به خط درین و خط گیت شبیه سازی های گسترده در بار (*Load Pull-LP*) و منبع (*Source Pull-SP*) انجام شده است. برای تست تراشه از یک ساختار انتقال حرارت چند لایه مبتنی بر **AuSn** و آلیاژ مس مولیبدن **60Mo/40Cu** استفاده شده است. این تقویت کننده توان دارای حداکثر توان خروجی **41dBm** در مجموع چهار خروجی خود، حداکثر بازده توان **PAE=73%**، بیشینه بهره توان **21 dB**، در پهنای باند **DC** تا **25** گیگا هرتز است. حداکثر اختلاف در توان چهار پورت خروجی **1.5 dB** است.

حمید هلالیان

طراحی تقویت کننده توان مد پیوسته با قابلیت کار همزمان در دو باند فرکانسی

محمد حسن نوذری، محسن معزی و امیر رضا علیزاده

دانشگاه صنعتی امیرکبیر،

چکیده - تقویت کننده های توان با بازدهی بالا یکی از مهمترین و اصلی ترین بخش های فرستنده-گیرنده-های رادیویی هستند. این مقاله به طراحی یک تقویت کننده ی توان مد پیوسته با قابلیت کار همزمان در دو باند فرکانسی می پردازد. باند فرکانسی اول $2/14$ گیگاهرتز از نسل چهارم (*4G*) و باند فرکانسی دوم $5/9$ گیگاهرتز از نسل پنجم ارتباطات (*5G Sub-6 GHz*) می باشد. این تقویت کننده، در هر دو باند فرکانسی در کلاس *J* کار می کند. در طراحی مدارهای تطبیق ورودی و خروجی، امیدانس اینترمدولاسیون f_1+f_2 از بین رفته است، که این امر باعث افزایش بازدهی به میزان ۱۰ درصد گردیده است. پس از آن، با استفاده از تکنولوژی ساخت **0.25 μm GaAs pHEMT** مدار نهایی جانمایی گردیده است. با استفاده از شبیه سازی الکترومغناطیس، بهره ی توان برای عملکرد همزمان تقویت کننده در فرکانس های $f_1=2.14 \text{ GHz}$ و $f_2=5.9 \text{ GHz}$ ، به ترتیب برابر **5/98 dB** و **6/15 dB** می باشد. همچنین، *PAE* شبیه سازی شده برای عملکرد همزمان تقویت کننده در فرکانس-های f_1 و f_2 ، به ترتیب $42/5$ و $48/2$ درصد می باشد.

محمد حسن نوذری

<p style="text-align: center;">A Wideband Low-Noise Inductorless CMOS Active Mixer With Improved Linearity</p> <p style="text-align: center;">Hesam Abbasi, Mohammad Yavari Amirkabir University of Technology</p> <p>This paper presents a CMOS active inductorless downconversion mixer for zero-IF receivers. The structure implements the IM2 injection and derivative superposition techniques to improve the linearity. Nonlinear currents are generated by auxiliary transistors and they are injected to the nonlinear currents of the input transistors into increase the second-order input intercept point (IIP2) and third-order input intercept point (IIP3) values of the mixer. Common-Gate structure is used in the RF input stage. To reduce the noise contribution of the input transistors, a noise cancellation technique is employed. The proposed mixer is designed in 65 nm CMOS technology and simulated using Spectre-RF in Cadence. The simulation results show 8.34 dB, 6.81 dB, and 4.15 dB on average improvement for IIP2, IIP3, and NF, respectively, in the 0.8-5 GHz input frequency range. The proposed mixer consumes 13.95 mW power which is 64.1% more than the conventional CMOS active mixer.</p>	<p>حسام عباسی</p>
<p style="text-align: center;">A 350μW, Low Noise Amplifier for IOT applications</p> <p style="text-align: center;">Seyedeh Yasamin Hojat, Hassan Faraji Baghtash, Esmaeil Najafi Aghdam Sahand University of Technology</p> <p>A μW power low noise amplifier for low voltage direct-conversion receiver applications is reported. The proposed structure features a cascode topology with capacitor cross coupling technique. Utilizing forward body bias technique enables the structure to operate at a very low supply voltage down to 0.4 V. The reduced power supply, on the other hand, eliminates the requirement for additional biasing circuits, that helps to further reduce the power consumption. Simulation results with 0.13μm CMOS technology shows the 1.37 dB NF along with high gain of 28.4 dB and a good input impedance matching of -23 dB in the 2.4 GHz operating center frequency.</p>	<p>یاسمین حجت</p>
<p style="text-align: center;">افزایش رنج فرکانس کاری و کاهش جیتر در مدارهای ضربکننده فرکانسی مبتنی بر ترکیب کننده لبه حلقه تاخیر قفل شده علی برمکی، جواد جاویدان دانشگاه محقق اردبیلی</p> <p>ترکیبکننده لبه مبتنی بر حلقه تاخیر قفل شده (Loop Locked Delay Combiner Edge) و به صورت مخفف ECDLL، با فناوری CMOS ۱۸۰ نانومتر طراحی شده است. بازه فرکانس کاری بالا و جیتر پایین را میتوان با استفاده از ترکیبکننده لبه اصلاح شده به دست آورد. ضرب کننده فرکانسی پیشنهادی، باعث کاهش اختلاف تاخیر، میان مسیرهای تولید لبه مثبت و منفی میشود. همچنین با استفاده از گیت‌های متقارن</p>	<p>علی برمکی</p>

بر مشکل "جیتر قطعی" غلبه میکند. ECDLL پیشنهادی میتواند سیگنالهای ضربشده از ۳۷۵ مگاهرتز تا ۶۸۱۶ مگاهرتز را تولید کند و جیتر خروجی در ۶۸۱۶ مگاهرتز برابر ۴/۸ پیکوثانیه است.
