

عنوان جلسه: مقالات شفاهی ۲

موضوع: مدارهای مجتمع

روسای نشست: دکتر علی فتوت احمدی ، دکتر امیر نیک پیک
دانشگاه صنعتی شریف، دانشگاه تربیت مدرس

پنجشنبه ۲ دی ۱۴۰۳-۱۲

اتاق مجازی ۲

پیاده سازی یک زیرسیستم دیکدر BCH برای گیرنده DVB-S2 بر روی FPGA

علیرضا فضلی^۱، محمدرضا فضلی^۲، زهرا سهرابی^۳، روح الله بی باک^۴
دانشگاه بوعلی سینا ، دانشگاه تربیت مدرس

در این مقاله یک زیر سیستم رمزگشایی (FEC (Forward Error Correction برای گیرنده ای با استاندارد DVB-S2 با FPGA پیاده سازی می شود. دیکدر FEC از سه بلوک تشکیل شده است: دیکدر های-De طول انتقال خراب شدند. استاندارد DVB-S2 چندین طرح کد نویسی و روش های در هم تنیده را برای حفاظت از داده ها تعریف می کند و تمام پیکربندی ها در این پیاده سازی در نظر گرفته شده است. این مقاله ساختار و عملکرد زیر سیستم FEC (قسمت دیکدر BCH) ، چهارچوبی که برای اندازه گیری عملکرد آن مونتاژ شده ، و سنتز FPGA و نتایج عملکرد را ارائه می دهد.

علیرضا فضلی

A Low-Power Low-Noise Neural Recording Amplifier with Improved Telescopic-Cascode OTA

Mohammad YavariMohammad-Amin Mohtasham-Nia,
Amirkabir University of Technology

In this paper, a fully-differential low-power low-noise neural recording amplifier with a novel recycling telescopic-cascode (RTC) operational transconductance amplifier (OTA) is presented. In the proposed RTC-OTA, the current recycling and positive feedback cross-coupled transistors are utilized to significantly improve the OTA's parameters such as DC gain and unity gain bandwidth. The gain enhancement also improves the linearity in the closed-loop structure. Extensive analytical calculations and simulation results using the 0.18- μm TSMC CMOS process are provided to evaluate the usefulness of the proposed OTA. The simulated neural recording amplifier achieves 4.46 μVrms input-referred noise over 1 Hz-10 kHz bandwidth, 1.82 noise efficiency factor, -46 dB total harmonic distortion (THD) for an 18 mVpp, 1 kHz sinusoidal input. The power consumption is 2.25 μW from a 1.8-V voltage supply.

محمد امین محتشم نیا

یک ساختار جدید برای خواندن سیگنال پیکسل با سطح سیلیکونی پایین و خطییت بالا

مسعود تیموری

دانشکده مهندسی برق، دانشگاه صنعتی ارومیه

در این مقاله یک پیکسل CMOS با ساختار جدید معرفی شده است که در آن، سیگنال چهار پیکسل مجاور از طریق یک بافر با بهره تقریباً واحد خوانده می‌شود. مدار پیشنهادی نسبت به مدار رایج 4T-APS با مدار خواندن سورس-فالوور، دقت بالاتر، خطییت بالاتر و تعداد ترانزیستورهای کمتری دارد که این می‌تواند منجر به افزایش کیفیت تصویر نهایی و کاهش سطح سیلیکونی مصرفی گردد. بر اساس نتایج شبیه سازی، توان مصرفی پیکسل پیشنهادی تقریباً ۱۷ میکرو وات بوده و کل نویز انتقال داده شده به ورودی ۰/۷ میلی ولت می‌باشد. تعداد کل ترانزیستورهای مورد استفاده در این روش برای خواندن سیگنال چهار فوتودیود ۱۲ عدد بوده که این در حالی است در روش رایج با همین شرایط ۱۶ ترانزیستور نیاز می‌باشد. مدار پیشنهادی در تکنولوژی CMOS 0.18µm طراحی و توسط نرم‌افزار SPECTRE شبیه سازی شده است.

مسعود تیموری

A Low-Power Variable-Resolution Asynchronous Analog-to-Digital Converter

Amirhossein Zanjani, Mohsen Jalali
Shahed University

In this paper, a variable resolution level-crossing analog-to-digital converter (LC-ADC) is proposed which utilizes a miniature feedback network to continuously evaluate the sampling rate and prevent excessive sampling for the parts of the input signal with a high slope. The feedback network is composed of a charge-pump and a multi-level comparator. The quantization window is then dynamically configured according to the signal activity. As a result, by regulating the number of samples, the design of the ADC main building blocks is relaxed regarding the speed and power requirements leading to higher power efficiency. Implemented in a 0.18 µm standard CMOS process, the proposed LC-ADC occupies ~0.0041 mm² of silicon area and consumes ~18 nW from 1 V supply voltage. Assuming a 1 kHz full-scale input sinusoidal signal, it achieves an average signal-to-noise and distortion ratio (SNDR) of ~43 dB and an effective number of bits (ENOB) of ~6.8 bits.

امیر حسین زنجانی